

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-349164

(43) Date of publication of application : 15.12.2000

(51) Int.CI.

H01L 21/8234

H01L 27/088

H01L 21/762

H01L 21/316

(21) Application number : 11-161882

(71) Applicant : NEC CORP

(22) Date of filing : 08.06.1999

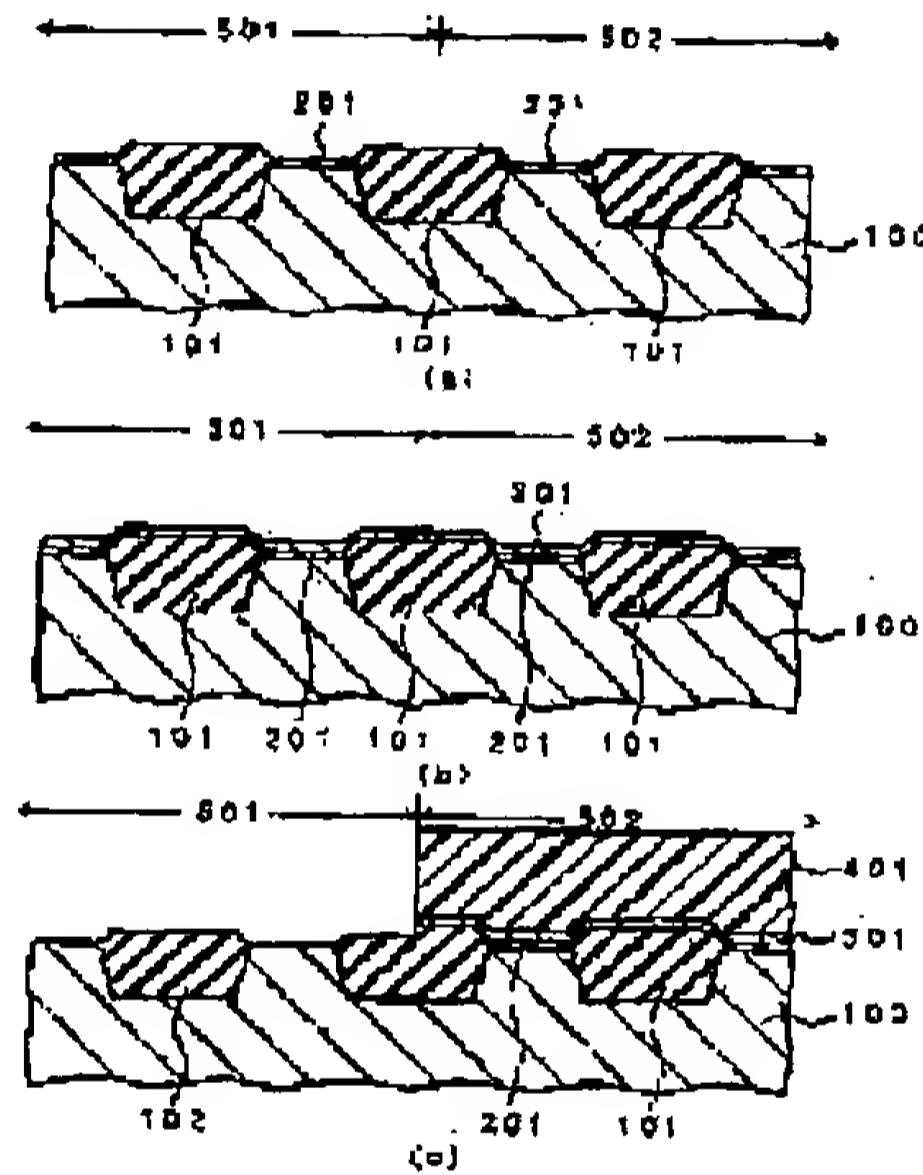
(72) Inventor : SHIMIZU MASAKUNI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE WITH ELEMENT ISOLATION INSULATING FILM

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a semiconductor device provided with an element isolation insulating film, where the surface of a substrate is covered with an oxidation-resistant film such as a nitride film or the like until the oxidation of a gate is started so as to prevent a useless oxide film from being formed on the substrate when a gate oxide film of different thickness is formed, and etching carried out before the oxidation of a gate can be reduced.

**SOLUTION:** In this manufacturing method, a semiconductor substrate 100 is equipped with element regions 501 and 502 where element isolation oxide films 101 and thin oxide films 201 each located on an active region between the oxide films 101, an oxidation-resistant film 301 is formed on all the surface of the semiconductor substrate 100, the semiconductor substrate 100 is exposed using a resist film 401 as a mask, where the element region 501 is not covered with the resist film 401, a first gate oxide film is formed, furthermore the semiconductor substrate 100 is exposed using a resist film where the element region 502 is open as a mask, and a second gate oxide film is formed.



### LEGAL STATUS

[Date of request for examination] 23.05.2000

[Date of sending the examiner's decision of rejection] 19.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349164

(P2000-349164A)

(13) 公開日 平成12年(2000.12.

(51) Int. Cl. 7	識別記号	F 1	23	マークト(参考)
H 01 L 21/8234		H 01 L 27/08	I O 2 C 4N108	
27/088		21/76	D 5F032	
21/762		21/94	A 5F048	
21/316				(2)

審査請求 有 請求項の数 6頁 10 11 12 13 (全9頁)

(21) 出願番号 特願平11-161682 01 02 (71) 出願人 000004237

(22) 出願日 平成11年6月6日(1999.6.6.) 01 02 東京都港区芝五丁目7番1号

(72) 発明者 清水 正邦  
東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100090158  
弁理士 砂巻 正憲

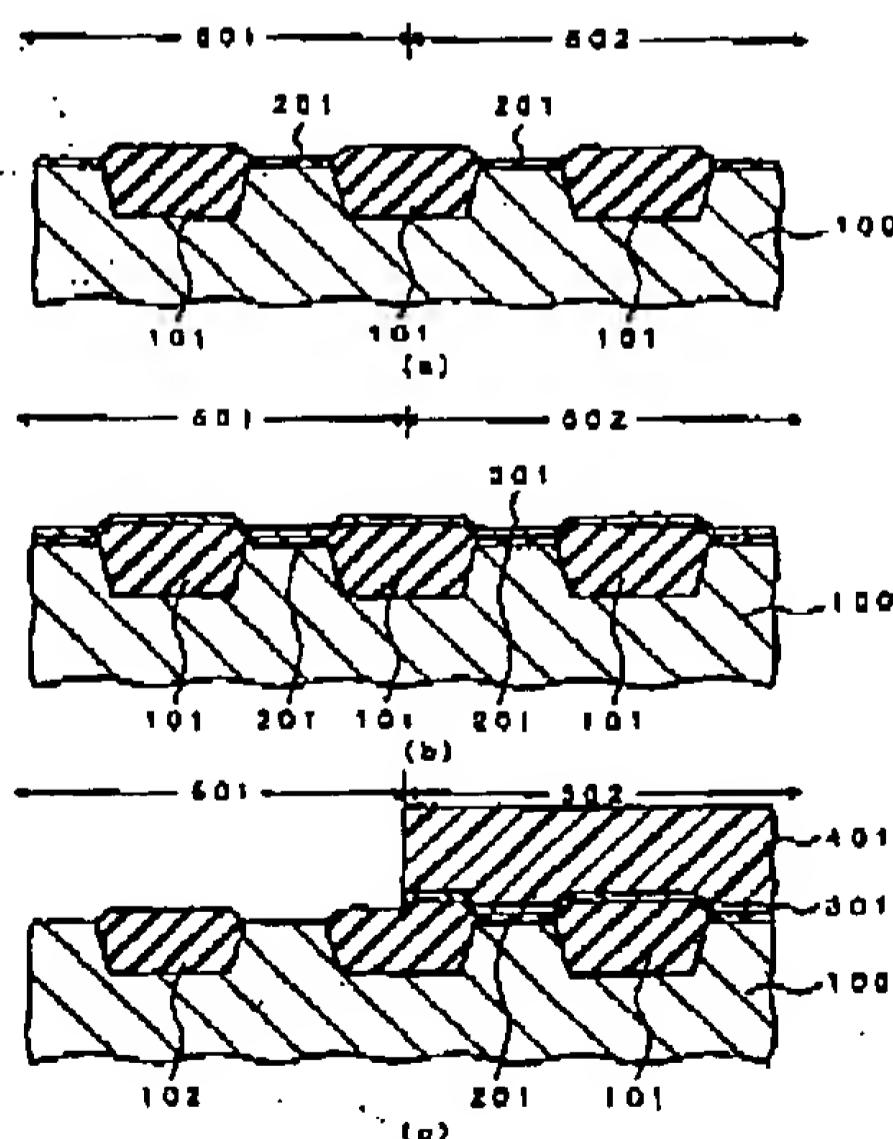
最終頁に続く

(54) 【発明の名称】素子分離絶縁膜を有する半導体装置の製造方法

(57) 【要約】

【課題】 横厚が異なるゲート酸化膜を形成する際、ゲート酸化直前まで窒化膜等の耐酸化性のある膜で基板表面を覆い、基板上に不要な酸化膜を形成することを防ぐことによりゲート酸化前のエッチングを低減することができる素子分離絶縁膜を有する半導体装置の製造方法を提供する。

【解決手段】 複数の素子分離酸化膜101とその間の活性領域上の薄い酸化膜201とが形成された素子領域501及び502を有する半導体基板100表面の全面に耐酸化性膜301を成膜し、素子領域501が露出したレジスト401膜をマスクとして半導体基板100を露出させた後、第1のゲート酸化膜を形成し、更に、素子領域502が開口したレジスト膜をマスクとして半導体基板100を露出させ、第2のゲート酸化をする。



101, 102: 素子分離酸化膜

201: 薄い酸化膜

301: 耐酸化性膜

401: レジスト

501, 502: 素子領域

## 【特許請求の範囲】

【請求項1】複数の素子分離絶縁膜により複数の素子領域が区画され前記素子領域に酸化膜が形成された半導体基板表面の全面に耐酸化性膜を形成する工程と、第1の素子領域が露出した第1のレジスト膜をマスクとして前記酸化膜及び前記耐酸化性膜をエッティング除去する工程と、前記半導体基板上に第1のゲート酸化膜を形成する工程と、第2の素子領域が露出した第2のレジスト膜をマスクとして前記酸化膜及び前記耐酸化性膜をニッティング除去する工程と、前記半導体基板上に第2のゲート酸化膜を形成する工程と、これを有することを特徴とする素子分離絶縁膜を有する半導体装置の製造方法。

【請求項2】前記耐酸化性膜が塗化膜であることを特徴とする請求項1に記載の素子分離絶縁膜を有する半導体装置の製造方法。

【請求項3】複数の素子分離絶縁膜により複数の素子領域が区画され前記素子領域に酸化膜が形成された半導体基板の表面上に第1の素子領域が露出した第1のレジスト膜を形成しこの第1のレジスト膜をマスクとして前記酸化膜をエッティング除去する工程と、前記半導体基板上に第1のゲート酸化膜を形成する工程と、第2の素子領域が露出した第2のレジスト膜をマスクとして前記酸化膜をエッティング除去する工程と、前記半導体基板上に第2のゲート酸化膜を形成する工程と、これを有することを特徴とする素子分離絶縁膜を有する半導体装置の製造方法。

【請求項4】前記素子分離絶縁膜がLOCOS法により形成されていることを特徴とする請求項1乃至3のいずれか1項に記載の素子分離絶縁膜を有する半導体装置の製造方法。

【請求項5】前記素子分離絶縁膜が半導体基板の表面に形成された溝に埋め込まれて形成されていることを特徴とする請求項1乃至4のいずれか1項に記載の素子分離絶縁膜を有する半導体装置の製造方法。

【請求項6】前記素子分離絶縁膜がシリコン酸化膜であることを特徴とする請求項1乃至5のいずれか1項に記載の素子分離絶縁膜を有する半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は素子分離絶縁膜を有する半導体装置の製造方法に関し、特に、異なるゲート酸化膜を同一チップ上に形成する際に、各素子領域をゲート酸化膜まで塗化膜等の耐酸化性のある膜で覆うことにより、素子の信頼性、特に素子分離特性の向上を図った素子分離絶縁膜を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】一般に、絶縁ゲート型電界効果トランジスタ(MOSトランジスタ)を搭載したMOS型半導体装置においては、同一半導体装置内に耐圧の信頼性が高

い高耐圧素子と、高速情報処理のために高速性を必要とする低耐圧素子とを有する場合、高耐圧素子においては、ゲート酸化膜及びフィールド酸化膜を薄くする必要がある。一方、低耐圧素子においては、半導体装置の微細化及び高速化に対応した薄いゲート酸化膜及び薄いフィールド酸化膜が必要である。

【0003】従来、このような半導体装置を製造するために同一基板上に異なる厚さのフィールド酸化膜及びゲート酸化膜を形成する方法としてゲート酸化とウェットエッティングの繰り返しによる酸化膜の付け替えによって複数の異なるゲート酸化膜を形成する方法が提案されている(特開平9-36243号公報等)。図5(a)乃至(c)及び図6(a)、(b)はこの種の従来の2種類のゲート酸化膜の作製方法をその工程順に示す断面図である。

【0004】図5(a)は、シリコン基板300の表面上に、素子間を電気的に分離するための素子分離酸化膜121が形成され、イオン注入時の基板保護のための薄いエスト膜を形成しこの第1のレジスト膜をマスクとして前記酸化膜121が形成された状態を示す断面図である。これに第1のゲート酸化膜221が形成された状態を示す断面図である。これに第2のゲート酸化膜221が形成された状態を示す断面図である。これに第3のゲート酸化膜221が形成された状態を示す断面図である。これに第4のゲート酸化膜221が形成された状態を示す断面図である。これに第5のゲート酸化膜221が形成された状態を示す断面図である。これに第6のゲート酸化膜221が形成された状態を示す断面図である。これに第7のゲート酸化膜221が形成された状態を示す断面図である。これに第8のゲート酸化膜221が形成された状態を示す断面図である。これに第9のゲート酸化膜221が形成された状態を示す断面図である。これに第10のゲート酸化膜221が形成された状態を示す断面図である。これに第11のゲート酸化膜221が形成された状態を示す断面図である。これに第12のゲート酸化膜221が形成された状態を示す断面図である。これに第13のゲート酸化膜221が形成された状態を示す断面図である。これに第14のゲート酸化膜221が形成された状態を示す断面図である。これに第15のゲート酸化膜221が形成された状態を示す断面図である。これに第16のゲート酸化膜221が形成された状態を示す断面図である。これに第17のゲート酸化膜221が形成された状態を示す断面図である。これに第18のゲート酸化膜221が形成された状態を示す断面図である。これに第19のゲート酸化膜221が形成された状態を示す断面図である。これに第20のゲート酸化膜221が形成された状態を示す断面図である。これに第21のゲート酸化膜221が形成された状態を示す断面図である。これに第22のゲート酸化膜221が形成された状態を示す断面図である。これに第23のゲート酸化膜221が形成された状態を示す断面図である。これに第24のゲート酸化膜221が形成された状態を示す断面図である。これに第25のゲート酸化膜221が形成された状態を示す断面図である。これに第26のゲート酸化膜221が形成された状態を示す断面図である。これに第27のゲート酸化膜221が形成された状態を示す断面図である。これに第28のゲート酸化膜221が形成された状態を示す断面図である。これに第29のゲート酸化膜221が形成された状態を示す断面図である。これに第30のゲート酸化膜221が形成された状態を示す断面図である。これに第31のゲート酸化膜221が形成された状態を示す断面図である。これに第32のゲート酸化膜221が形成された状態を示す断面図である。これに第33のゲート酸化膜221が形成された状態を示す断面図である。これに第34のゲート酸化膜221が形成された状態を示す断面図である。これに第35のゲート酸化膜221が形成された状態を示す断面図である。これに第36のゲート酸化膜221が形成された状態を示す断面図である。これに第37のゲート酸化膜221が形成された状態を示す断面図である。これに第38のゲート酸化膜221が形成された状態を示す断面図である。これに第39のゲート酸化膜221が形成された状態を示す断面図である。これに第40のゲート酸化膜221が形成された状態を示す断面図である。

【0005】次に、図5(b)に示すように、このシリコン基板300の表面上の薄い酸化膜221を1回目のウェットエッティングにより除去する。ここで、1回目のウェットエッティングのために素子分離酸化膜121は自己減りし、素子分離酸化膜122になる。

【0006】その後、図5(c)に示すように、シリコン基板300表面上に第1のゲート酸化膜222を形成することにより、素子分離酸化膜122に挿まれた活性領域の露出されたシリコン基板300表面上には酸化膜が形成される。

【0007】次に、素子領域521及び522に必要となるゲート酸化膜を作り分ける。先ず、図6(a)に示すように、レジスト421をパターニングし、薄いゲート酸化膜を形成するための素子領域522の活性領域の第1のゲート酸化膜222を2回目のエッティングにより除去する。素子領域522の素子分離酸化膜122はこの工程においても自己減りし、素子分離酸化膜122から更に薄い素子分離酸化膜123になる。

【0008】次に、図6(b)に示すように、レジスト421を剥離し、第2のゲート酸化膜を形成する。この

ときに、素子領域522の活性領域の露出されたシリコン基板300上に形成された第2のゲート酸化膜が膜厚が薄いゲート酸化膜224であり、素子領域521上の活性領域の第1のゲート酸化膜222が更に継ぎ足しの酸化をうけて形成された酸化膜が膜厚が厚いゲート酸化膜223である。以上の工程により素子領域521及び522に夫々が必要とする膜厚が厚いゲート酸化膜223及び膜厚が薄いゲート酸化膜224が形成される。

【0009】このように、異なるゲート酸化膜厚を持つデバイスをチップ上に形成する、いわゆるマルチオキサイドプロセスにおけるエッティングとゲート酸化を繰り返すことにより膜厚が異なるゲート酸化膜を形成する工程において、素子領域522の素子分離酸化膜121は、図5(b)の1回目のエッティングによる薄い酸化膜221の除去及び図6(a)の2回目のニッティングによる第1のゲート酸化膜222を除去する工程の合計2回のウェットエッティングを受けることにより、素子分離酸化膜121から122へ、素子分離酸化膜122から123へと薄膜化する。

【0010】以上に示した例では2種類のゲート酸化膜を形成する場合を示したが、容易に類推できるように、3種類、4種類とゲート酸化膜の種類が増えるごとに、ウェットエッティングの回数が増加することにより、最後に素子分離酸化膜が多くのウェットエッティングにさらされることになる。

【0011】**【発明が解決しようとする課題】**しかしながら、このような度重なる酸化とウェットエッティングの繰り返しのために以下のような問題点が生じる。

【0012】第1の問題点としては、素子分離酸化膜が薄膜化し、注入イオンの突き抜け（特にボロン）と素子分離酸化膜直上を配線が通ることによる反転とにより、素子分離リークが起こる。素子分離リークを防ぐ手段としては、リセスロコスの素子分離酸化膜の初期酸化量を増やすか又は素子分離酸化膜をSTI（Shallow Trench Isolation）にするという2つの手段が考えられる。前者に関しては、拡散層がバーズピークでつぶれてしまい、微細化の障害となる。後者に関しては、次に記述する段差の問題がより深刻になる。

【0013】第2の問題としては、初期に酸化された状態から素子分離酸化膜がウェットエッティングにより減ることにより、拡散層と素子分離酸化膜との境界に段差が生じ、ゲートポリニッティングのエッティング残りによるショート等の問題が起こる。

【0014】第3の問題としては、基板表面を酸化してウェットエッティングにより除去することを繰り返した結果、基板表面の不純物濃度が乱され、電気特性（特にトランジスタのしきい値）が不安定になる。

【0015】第4の問題としては、基板表面が何度も酸

化とウェットエッティングにさらされるため、表面の粗さが増加し、電気特性が劣化する。

【0016】このような不都合は、素子にとって不要な酸化膜を形成することに起因している。形成された酸化膜が不要なものであればゲート酸化前に必ずそれを除去して基板を露出させる工程が必要であり、このときに除去する酸化膜とそのオーバーエッティング分とが必要になる。特に、ゲート酸化のような熱酸化の場合は、基板上にゲート酸化膜を形成する程度の酸化では素子分離酸化膜のように薄い酸化膜の膜厚はほとんど増えないため、基板上に形成された酸化膜がエッティング除去される量と同じ量が素子分離酸化膜の自滅りにつながる。

【0017】本発明はかかる問題に鑑みてなされたものであって、膜厚が異なるゲート酸化膜を形成する際、ゲート酸化直前まで窒化膜等の耐酸化性のある膜で基板表面を覆い、基板上に不要な酸化膜を形成することを防ぐことによりゲート酸化前のエッティングを低減することができる素子分離絶縁膜を有する半導体装置の製造方法を提供することを目的とする。

【0018】**【課題を解決するための手段】**本発明に係る素子分離絶縁膜を有する半導体装置の製造方法は、複数の素子分離酸化膜により複数の素子領域が区画され前記素子領域に於けるゲート酸化膜を形成する素子領域ではその分だけ素子分離酸化膜が形成された半導体基板表面の全面に耐酸化性膜を形成する工程と、第1の素子領域が露出した第1のレジスト膜をマスクとして前記酸化膜及び前記耐酸化性膜をエッティング除去する工程と、前記半導体基板上に第1のゲート酸化膜を形成する工程と、第2の素子領域が露出した第2のレジスト膜をマスクとして前記酸化膜及び前記耐酸化性膜をエッティング除去する工程と、前記半導体基板上に第2のゲート酸化膜を形成する工程と、を有することを特徴とする素子分離絶縁膜を有する。なお、前記耐酸化性膜は窒化膜とすることができる。

【0019】本発明によれば、半導体基板の各素子領域に形成された酸化膜上に、先ず、耐酸化性膜を形成し、その素子領域の酸化膜及び耐酸化性膜を除去してゲート酸化膜を形成するまでは、耐酸化性膜を保護膜として使用するため、半導体基板上に不要な酸化膜が形成されることがない。即ち、第1の素子領域に第1のゲート酸化膜を形成する際には、第2の素子領域は耐酸化性膜に被覆されていることにより、第2の素子領域には、不要な第1のゲート酸化膜は形成されない。従って、同時に素子分離絶縁膜が自滅りしてしまう第1のゲート酸化膜を除去する工程は不要となるため、素子分離絶縁膜に十分な膜厚を確保することができる。このため、素子分離特性が向上し、素子の信頼性が向上する。また、第1の素子領域には、第1のゲート酸化膜の上に第2のゲート酸化膜が継ぎ足し酸化されたゲート酸化膜が形成され、第2の素子領域には第1の素子領域のゲート酸化膜よりも膜厚が薄いゲート酸化膜がゲート酸化膜として形成され

る。従って、複数の素子領域表面の素子領域の素子分離絶縁膜の薄膜化を防止しながら、大きさ膜厚が異なるゲート酸化膜を形成することができる。

【0020】本発明に係る他の素子分離絶縁膜を有する半導体装置の製造方法は、複数の素子分離絶縁膜により複数の素子領域が区画され前記素子領域に酸化膜が形成された半導体基板の表面上に第1の素子領域が露出した第1のレジスト膜を形成しこの第1のレジスト膜をマスクとして前記酸化膜をエッチング除去する工程と、前記半導体基板上に第1のゲート酸化膜を形成する工程と、第2の素子領域が露出した第2のレジスト膜をマスクとして前記酸化膜をエッチング除去する工程と、前記半導体基板上に第2のゲート酸化膜を形成する工程と、を有することを特徴とする。なお、前記素子分離絶縁膜はシリコン酸化膜とすることができます。更に、前記素子分離絶縁膜がSOI法により形成することができ、更にまた、半導体基板表面上に形成された間に絶縁膜を埋め込むことにより形成することもできる。

【0021】本発明によれば、酸化膜が形成された半導体基板の素子領域にゲート酸化膜を形成するまでは、その素子領域に存在する前記酸化膜を保護膜として使用する。従って、前記第1の素子領域の前記第1のゲート酸化膜を形成する際には、第2の素子領域に予め酸化膜が形成されており、この酸化膜によって第2の素子領域における第1のゲート酸化膜の成長が抑制される。更に、第2のゲート酸化膜を形成することによって、第1の素子領域には第1ゲート酸化膜に第2のゲート酸化膜が接着し酸化されたゲート酸化膜が形成され、第2の素子領域には第1の素子領域のゲート酸化膜より膜厚が薄いゲート酸化膜が形成される。従って、複数の素子領域に大きな膜厚が異なるゲート酸化膜を形成することができ、更に、第2の素子領域の半導体基板上に形成されている酸化膜を除去する際のエッティング量が前記第1のゲート酸化膜の成長が抑制された分少ないために、素子分離絶縁膜の薄膜化を防止することができる。従って、素子分離特性が向上し、素子特性が向上する。

#### 【0022】

【発明の実施の形態】以下、本発明の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法について、添付の図面を参照して具体的に説明する。図1(a)乃至(c)及び図2(a)乃至(c)は、本発明の第1の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法を工程順に示す断面図である。

【0023】図1(a)は、シリコン基板100の表面上に、素子間を電気的に分離するための素子分離絶縁膜101が形成され、素子分離絶縁膜101に挟まれた活性領域にイオン注入時の基板保護のための薄い酸化膜201が形成された状態を示す断面図である。この図に示すように、シリコン基板100は、電気的に書き込み可能なEEPROM (erasable PROM) の書き込み回路の

ような高耐圧回路部として膜厚が厚いゲート酸化膜を必要とする素子領域501と、高耐圧を必要としない低耐圧用で膜厚が薄いゲート酸化膜を必要とする素子領域502と、を有している。シリコン基板100上に形成されている素子分離絶縁膜101の形成方法としては、既知のSOI法の技術により形成されたものでもよいし、素子分離絶縁膜101を形成する領域に溝を形成し、その溝にシリコン酸化物系の物質が埋め込まれたものでもよい。

【0024】次に、図1(b)に示すように、このシリコン基板100の表面の薄い酸化膜201上及び素子分離絶縁膜101上に耐酸化性膜301を成長させる。耐酸化性膜301としては、例えばシリコン窒化膜等の窓化膜がある。

【0025】次に、素子領域501及び502の素子領域に必要となるゲート酸化膜が形成される工程を説明する。先ず、図1(c)に示すように、半導体基板100にフォトリソグラフィ技術により素子領域501が露出されたレジスト401をパターニングし、膜厚が厚いゲート酸化膜が形成されるべき素子領域501の活性領域上の耐酸化性膜301を除去し、更に、薄い酸化膜201を1回目のエッチングを施すことにより除去する。ここで、素子領域501上の素子分離絶縁膜101は、この工程においてのみ自滅りし、素子分離絶縁膜101から素子分離絶縁膜102になる。

【0026】次に、図2(a)に示すように、レジスト401を剥離し、第1のゲート酸化膜を形成する。これにより、素子領域501のシリコン基板100上の素子分離絶縁膜102に挟まれた活性領域上には第1のゲート酸化膜202が形成される。このとき、素子領域502は耐酸化性膜301で覆われているため、シリコン基板100上の薄い酸化膜201の膜厚が増えるようないことはない。

【0027】この第1のゲート酸化膜202を形成した後、図2(b)に示すように、素子領域501の第1のゲート酸化膜202を保護するために、素子領域502が露出されたレジスト402をパターニングし、それをマスクに素子領域502に形成されていた耐酸化性膜301を除去し、更に薄い酸化膜201を2回目のエッチングをすることにより除去する。この薄い酸化膜201部分は、耐酸化性膜301が形成されていたために、第1のゲート酸化膜の形成前後で酸化膜は成長せずに膜厚は変化しない。従って、2回目のエッティングにおいて素子領域502のシリコン基板100を露出させるために除去された膜厚は、1回目のエッティングにより素子領域501の活性領域のシリコン基板100を露出させるためにエッティングされた膜厚と同じである。このことにより、素子領域502の素子分離絶縁膜101はこの工程においてのみ自滅りし、素子分離絶縁膜101から素子分離絶縁膜103になるが、自滅りする量は、

7  
素子分離絶縁膜101から素子分離絶縁膜102へと渡りする層と同じである。

【0028】この後、図2(c)に示すように、レジスト402を剥離し、第2のゲート酸化膜を形成する。これより、素子領域502の素子分離絶縁膜103に挟まれた活性領域のシリコン基板100上に形成された第2のゲート酸化膜が、低耐圧用の膜厚が薄いゲート酸化膜203である。また、素子領域501上の素子領域102に挟まれた活性領域のシリコン基板100上に形成されていた酸化膜202が第1のゲート酸化により更に継ぎ足しの酸化をうけて、膜厚が厚いゲート酸化膜204になる。以上の工程により、素子領域501及び502に夫々が必要とする膜厚が厚いゲート酸化膜204及び膜厚が薄いゲート酸化膜203が形成される。

【0029】このように、複数の素子分離絶縁膜101と薄い酸化膜201とが形成されたシリコン基板100において、耐酸化性膜301の形成、2回のエッチング及び2回のゲート酸化をする工程により、素子領域501及び502の素子分離絶縁膜101の目減り量は、薄い酸化膜201及び耐酸化性膜301を除去する1工程分のエッチングのみになる。これは、耐酸化性膜301が酸化に耐えうる限り第1及び第2のゲート酸化膜の膜厚としてどのような膜厚を選んでも一定のエッチングである。例えば最初の薄い酸化膜201を200Å、オーバーエッチングを80%とすると、素子分離絶縁膜の目減り量は素子領域501及び502領域共に360Åである。図2(c)では便宜上、素子領域501及び502領域の素子分離絶縁膜を夫々素子分離絶縁膜102及び103と示しているが、素子分離絶縁膜102及び103は製造上のはらつきを除けば同一の膜厚を有する。

【0030】本実施例では2種類のゲート酸化膜を形成する場合を示したが、容易に類推できるように3種類、4種類とゲート酸化膜の種類が増えても、最も厚い膜厚のゲート酸化膜を必要とする素子領域から順に、その素子領域上の活性領域のシリコン基板100をエッチングにより露出させた後、ゲート酸化膜を形成するという工程を繰り返していくば、どの素子領域の活性領域においてもエッチングにさらされるのは1度だけで済む。従って、ゲート酸化膜の膜厚が夫々異なる素子領域において、夫々の素子領域は、最初に形成されるゲート酸化膜が必要になるまでは耐酸化性のある膜でその素子領域が覆われているため、基板が不要な酸化をされることない。即ち、素子分離絶縁膜がエッチングされる量は常に最初に形成されている基板を保護するための薄い酸化膜及び耐酸化性膜がエッチング除去される量のみとなる。

【0031】このように、本実施例の素子分離絶縁膜を有する半導体装置の製造方法によれば、膜厚が異なる複数のゲート酸化膜を同一チップ内に形成する際、酸化膜の付け替え等による素子分離絶縁膜の障害化を回避し、素子分離リードを防止することができるため素子の信頼

性が向上する。

【0032】また、素子分離絶縁膜が残ることによる拡散層と素子分離絶縁膜境界との段差を低減することができる。

【0033】更に、拡散層表面の全体の酸化量が少なくなるため、表面付近の不純物濃度を安定してコントロールできる。

【0034】更にまた、拡散層表面がエッチングされる量が減るため、表面の粗さを低減することができる。

【0035】次に、本発明の第2の実施例について説明する。図3(a)乃至(c)及び図4(a)、(b)は本実施例に係る素子分離絶縁膜を有する半導体装置の製造方法を工程順に示す断面図である。図3(a)はシリコン基板200上に複数の素子分離酸化膜111が形成され、その複数の素子分離酸化膜111に挟まれた活性領域上に、イオン注入時の基板保護のための薄い酸化膜211が形成された状態を示している。シリコン基板200は、耐高圧素子のための膜厚が厚いゲート酸化膜を必要とする素子領域511及び耐低圧素子のための膜厚が薄いゲート酸化膜を必要とする素子領域512を有する。

【0036】次に、素子領域511及び素子領域512間に必要となるゲート酸化膜を作り分ける工程を説明する。先ず、図3(b)に示すように、素子領域511が露出出したレジスト411を素子領域512にバターニングし、膜厚が厚いゲート酸化膜を形成する必要がある素子領域511の活性領域の膜厚が薄い酸化膜211をエッチング除去することによりシリコン基板200を露出させる。素子領域511の素子分離酸化膜111はこの工程においてのみ目減りし、素子分離酸化膜111から素子分離酸化膜112になる。

【0037】次に、図3(c)に示すように、レジスト411を剥離し、第1のゲート酸化膜212を形成する。これにより素子領域511の素子分離酸化膜112に挟まれた活性領域のシリコン基板200にゲート酸化膜212が形成される。また、素子領域512では素子分離酸化膜111に挟まれた活性領域のシリコン基板200の裏面に形成されていた薄い酸化膜211が継ぎ足しの酸化を受け、薄い酸化膜211から酸化膜213になる。

【0038】次に、図4(a)に示すように、素子領域511の素子分離酸化膜112に挟まれた活性領域のシリコン基板200に形成された酸化膜212を保護し、素子領域512の活性領域のシリコン基板200を露出させるために、素子領域512が露出したレジスト412をバターニングし、これをマスクに2回目のエッチングをすることにより酸化膜213が除去される。この酸化膜213が形成されている活性領域が第1のゲート酸化膜の形成前後で継ぎ足しされる酸化膜は、予め薄い酸化膜211が形成されていたために、素子領域511の

活性領域の半導体基板 200 に形成された酸化膜 212 と比較するとその成長が抑制される。従って、2 回目のニッティングにおいて電子領域 512 のシリニン基板 200 を露出させるためのエッティングすべき酸化膜 213 の膜厚は、酸化膜 211 に酸化膜 212 を加えた膜厚より少ない。また、電子領域 512 の電子分離酸化膜 111 は、この工程においてのみ自減りし、電子分離酸化膜 111 から電子分離酸化膜 113 になるが、エッティングされる量は従来例よりは増される。

【0039】この後、図4(b)に示すように、レジスト412を剥離し、第2のゲート酸化膜を形成する。このとき、素子領域512の素子分離酸化膜113に挟まれ活性領域のシリコン基板200上に、膜厚が薄いゲート酸化膜215が形成される。また、素子領域511の素子分離酸化膜112に挟まれた活性領域のシリコン基板200上に形成されていた酸化膜212は、繰ぎ足しの酸化をうけて膜厚が厚いゲート酸化膜214が形成される。以上の工程により、素子領域511及び512に夫々が必要とする膜厚が厚いゲート酸化膜214及び薄いゲート酸化膜215が形成される。

〔0040〕このように、複数の素子分離酸化膜111と薄い酸化膜211とを有するシリコン基板200において、予め形成されている薄い酸化膜211を保護膜とするために、2回のゲート酸化及び2回のエッチングをする工程により、素子領域511及び512の素子分離酸化膜111の目減り量は、夫々薄い酸化膜211、薄い酸化膜211に継ぎ足し酸化された酸化膜213を除去する1工程分のエッチングのみになる。

【0041】本実施例は、第1の実施例に示した塗化膜のような耐酸化性のある膜を薄い酸化膜2-1-1上に成長しない。従って、本実施例の素子領域5-1-2は、後からゲート酸化膜を成長させるため、基板に対し余計な酸化をすることになる。しかしながら、薄い酸化膜に対する補ぎ足し酸化の形になるために、基板が酸化される量は露出した基板が酸化される従来例よりも少なくなる。これは即ち、ゲート酸化前に基板を露出させるためのエッチングの量が少なくなることを示している。本実施例においては、第1の実施例と比較して、耐酸化性膜をエッチングする必要がないためエッチングが容易になり、か

\*つその分、玉縄も短くなる

【10042】 例えは、膜厚が薄いゲート酸化膜2+4が440Å、膜厚が薄いゲート酸化膜2+5が100Åの場合を考える。このとき、図3(c)に相当するの第1のゲート酸化膜2+2として基板に約400Åの酸化膜を形成する必要がある。未予領域5+2には薄い酸化膜2+1t.(200Å)が残っているため、この領域に1回目のゲート酸化がされた後、形成されている酸化膜2+3は180Åである。後で、未予領域5+2

10 薄膜化が問題となる 3-2 領域において、2 回目のエッティングによる電子分離酸化膜 1-1 の目盛りは、オーバーエッティングを 8.0% として 86.4 Å となる。

[0043] 本一回エッティングを全て80%としてこれと比較すると、従来例の場合では、図5(b)に示すように、第1のゲート酸化膜を形成する前に薄い酸化膜221(200Å)が1回目のエッティングにより除去さ

れています。従って、この時点では電子領域 5.2.2 の電子分離膜 1.2.1 は  $36.0 \text{ \AA}$  で減ります。(電子分離膜 1.2.2)。そして、図 5-(c) に示すように、第 1 のゲート酸化膜を形成することにより電子領域 5.2.2 の電子分離膜 1.2.2 に挿入されたシリコン基板 3.0.0 上には  $40.0 \text{ \AA}$  の第 1 のゲート酸化膜 2.2.2 が形成されます。従つて、最初の第 1 回目のエッチングにより目減りする電子分離膜 1.2.2 は  $2.20 \text{ \AA}$  となる。(電子分離膜 1.2.3)。

【10044】表1に、従来例、本発明に係る第1の実施例及び第2の実施例の粒子分離酸化膜の自滅り量及び追加工程の比較を示す。従来例2と比較すると、本発明に係る夫々の実施例の粒子分離酸化膜の自滅り量が低減し、薄膜化を防げていることが分かる。

[1-0-0-4-5] なお、素子分離酸化膜の目減り量はイオン注入時の保護膜 2.0-0.4 Å、ゲート酸化膜を 400 Å と 100 Å の 2 種類作った場合で、オーバーエッチングを 80% とした場合の値を示した。

[0.046]

〔卷二〕

	素子分解酸化膜 目減り量	パターニング 工程数	その他の追加工程数
従来例	1080Å	1回	0回
第1の実施例	360Å	2回	塗化エッチング2回
第2の実施例	864Å	2回	0回

【0047】本実施例のように、薄い酸化膜を余分な基板酸化に対する保護膜として使用した場合、第1の実施例のように塗化膜のような耐酸化性膜を形成した場合と比較して、酸化に対する保護の効果は極まる以前、酸化

に対する保護膜を成長させる工程を追加する必要がなくなる。また、第1の実施例の図1(c)及び図2(b)に示す工程において、複合膜のエッチングをする必要がなくなり、エッチングが容易になるという利点もある。

## 【0048】

【発明の効果】以上詳述したように、本発明によれば、膜厚が異なる複数のゲート酸化膜を同一チップ内に形成する際、薄い酸化膜又は薄い酸化膜及び耐酸化性膜を基板酸化に対する保護膜として使用することにより、基板上に不要な酸化膜を形成することを防ぎ、酸化膜の付け替え等による素子分離酸化膜の薄膜化を回避し、素子分離リークを防止することができる。

【0049】また、素子分離酸化膜が減ることによる拡散層と素子分離酸化膜境界との段差を低減することができる。

【0050】更に、拡散層表面の全体の酸化量が少なくなることにより表面付近の不純物濃度を安定してコントロールできる。

【0051】更にまだ、拡散層表面がエッティングされる量が減るため、表面の粗さを低減することができる。

## 【図面の簡単な説明】

【図1】(a)乃至(c)は、本発明の第1の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法をその工程順に示す断面図である。

【図2】(a)乃至(c)は、同じく、本発明の第1の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法であって、図1(a)乃至(c)に示す工程の次の工程を示す。

【図3】(a)乃至(c)は、本発明の第2の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法を示す。

の工程順に示す断面図である。

【図4】(a)、(b)は、同じく、本発明の第2の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法であって、図3(a)乃至(c)に示す工程の次の工程をその工程順に示す断面図である。

【図5】(a)乃至(c)は、特開平9-036243号公報等に記載された従来の半導体装置の製造方法をその工程順に示す断面図である。

【図6】(a)、(b)は、同じく、図5(a)乃至(c)に示す工程の次の工程をその工程順に示す断面図である。

## 【符号の説明】

100、200、300：シリコン基板

101、102、103、111、112、113、121、122、123：素子分離酸化膜

201、211：薄い酸化膜

213：酸化膜

1203、215、224：膜厚が薄いゲート酸化膜

204、214、223：膜厚が厚いゲート酸化膜

202、212、222：第1のゲート酸化膜

301、302：耐酸化性膜

401、402、411、412、421、422：露

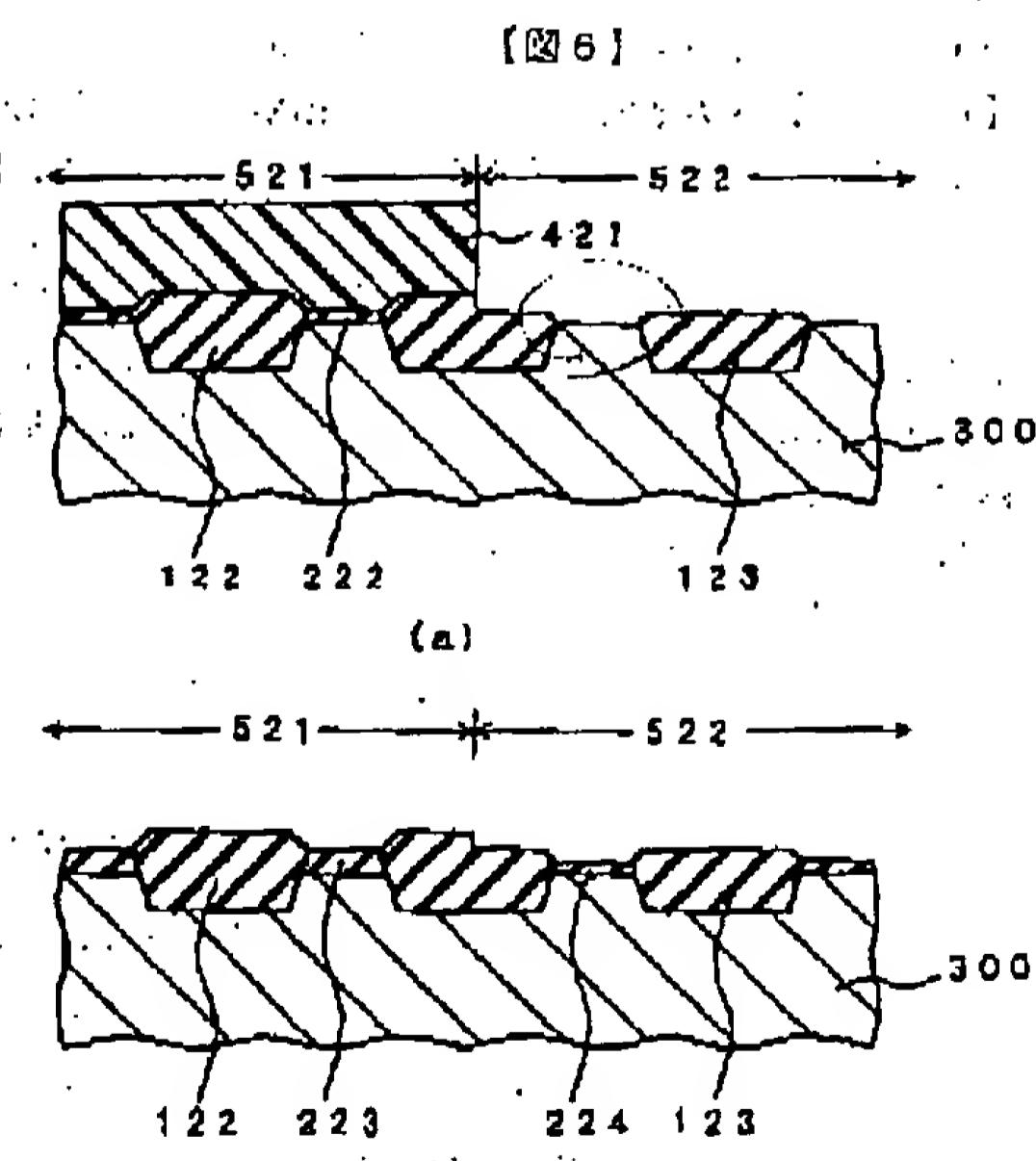
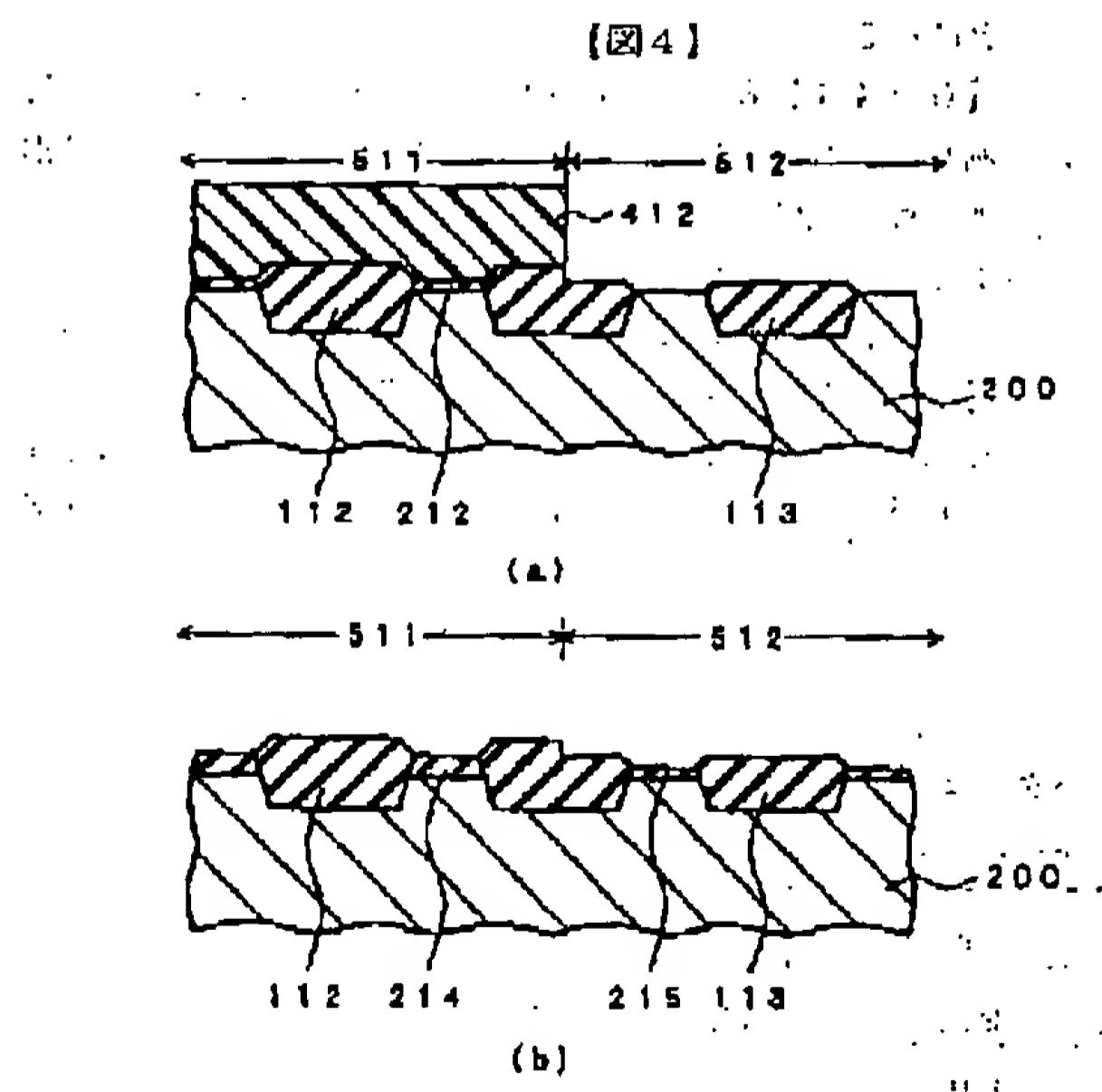
工程をその工程順に示す断面図である。

【図6】(a)乃至(c)は、本発明の第2の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法を示す。

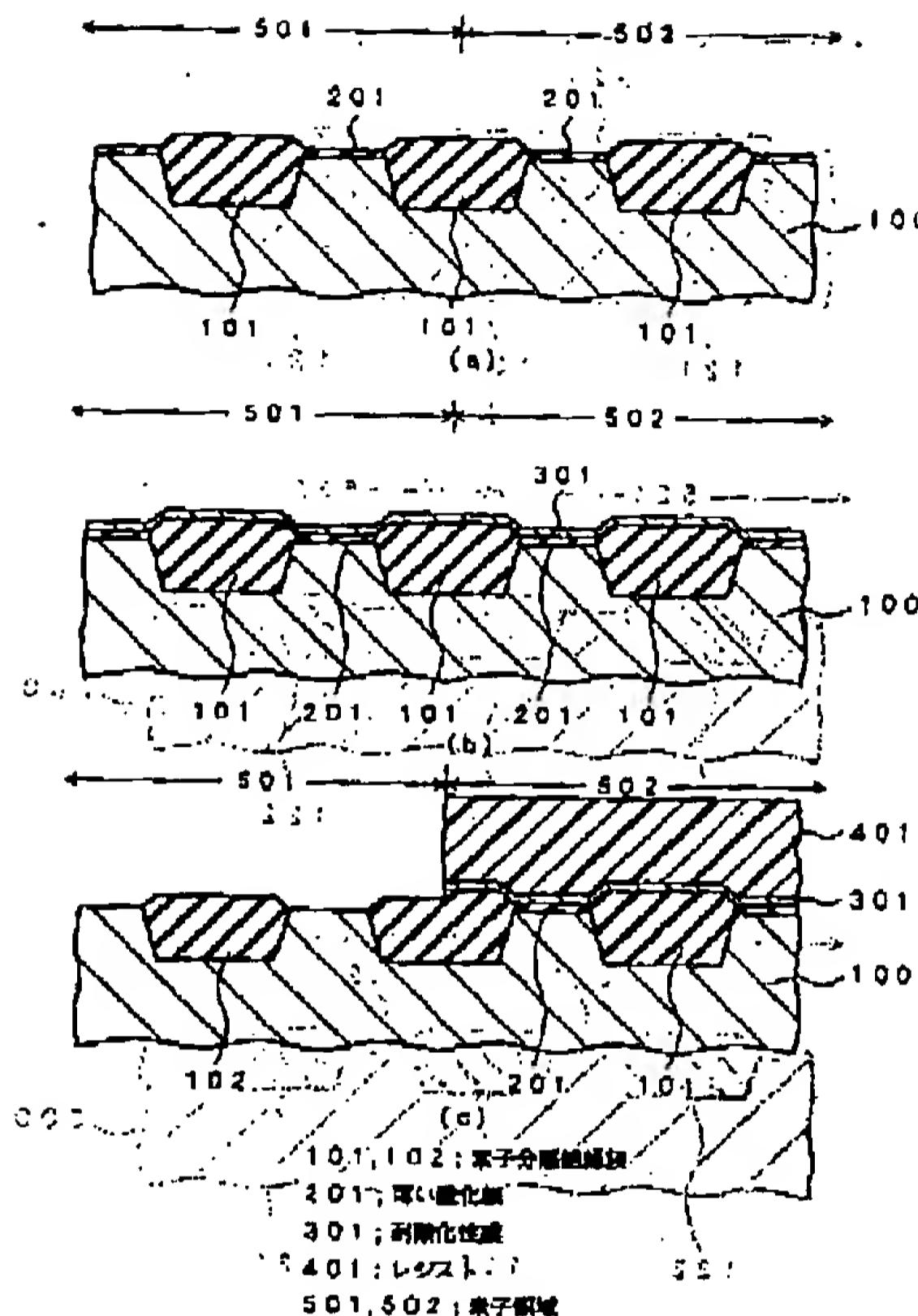
【図4】(a)、(b)は、本発明の第2の実施例に係る素子分離絶縁膜を有する半導体装置の製造方法を示す。

【図5】(a)乃至(c)は、特開平9-036243号公報等に記載された従来の半導体装置の製造方法を示す。

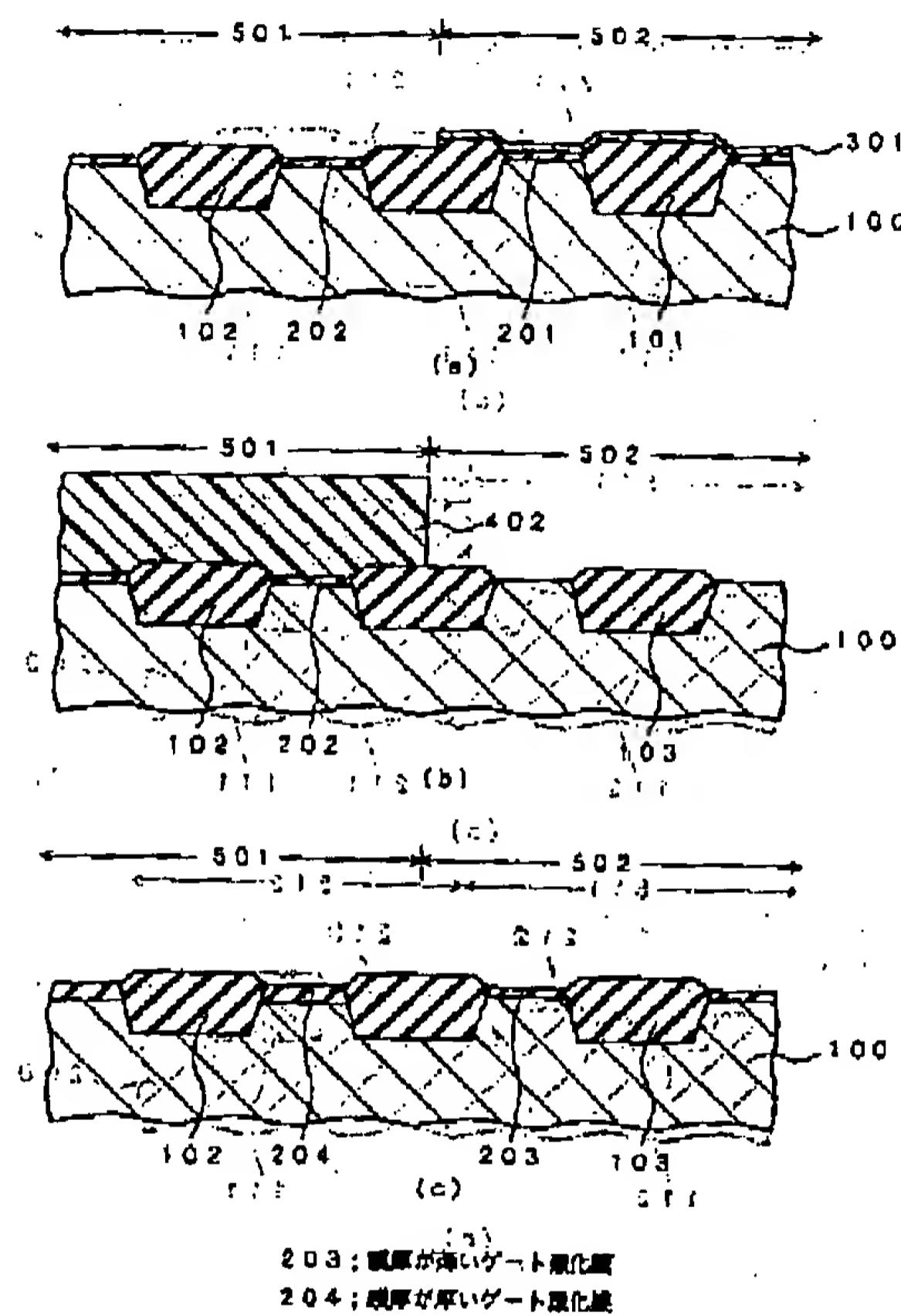
【図6】(a)、(b)は、同じく、図5(a)乃至(c)に示す工程の次の工程を示す。



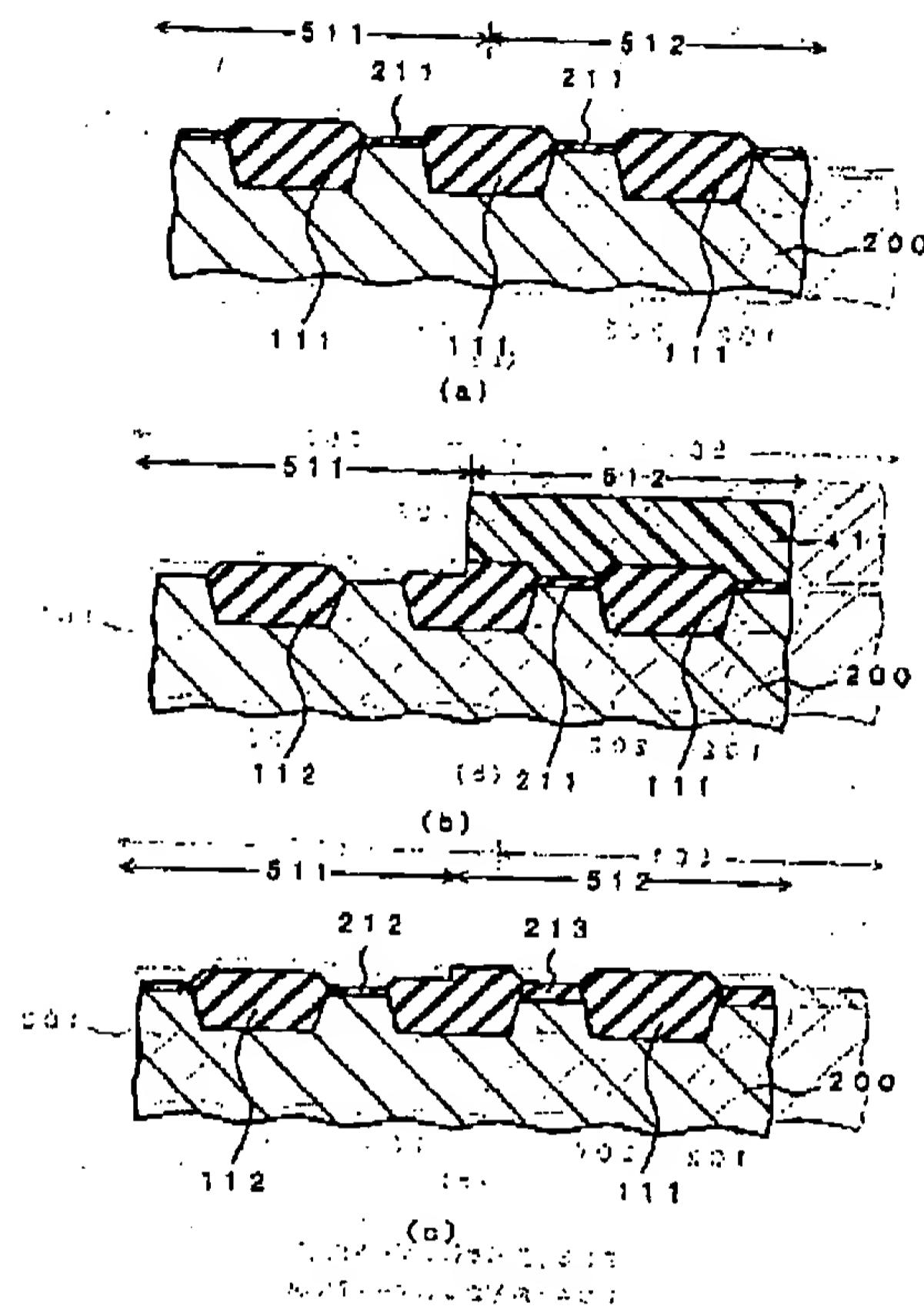
【図1】



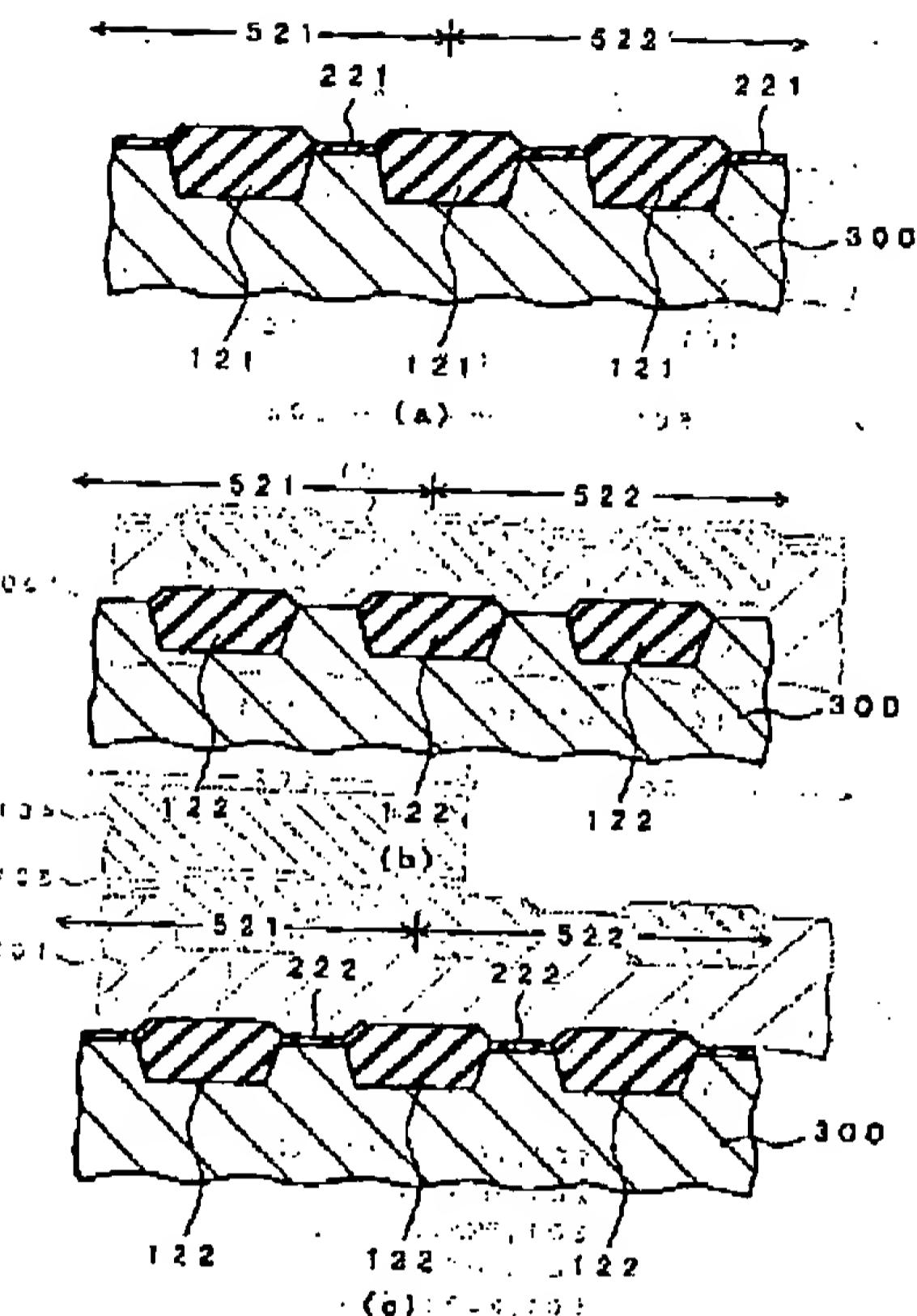
【図2】



[图31]



(図5)



## フロントページの続き

Fターム(参考) 4M108 AB05 AB13 AB27 AC01 AC40  
AC43 AD13  
5F032 AA14 AA18 AA34 AA44 AA82  
BA06 BB06 CA17 CA24 CA25  
DA02 DA24 DA28 DA30  
5F048 AA07 AA09 AB01 AC06 BA01  
BB00 BB16 BG12 BG14